

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kohei ABE

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: QUEUE CONTROL DEVICE FOR AND QUEUE CONTROL METHOD OF CONTROLLING A PLURALITY OF QUEUES

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-273219	September 27, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



2
3-23-01

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 1999年 9月27日

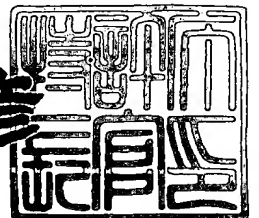
出 願 番 号
Application Number: 平成11年特許願第273219号

出 願 人
Applicant (s): 株式会社東芝

2000年 6月29日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3051637

【書類名】 特許願

【整理番号】 A009904797

【提出日】 平成11年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 12/00

【発明の名称】 待ち行列制御装置とその制御方法

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 安部 浩平

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

 【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 待ち行列制御装置とその制御方法

【特許請求の範囲】

【請求項 1】 任意の数の構成要素を有し、前記各構成要素が次の構成要素を指示するポインタ情報を有することにより構成される第 1 の待ち行列と、任意の数の構成要素を有し、前記各構成要素が次の構成要素を指示するポインタ情報を有することにより構成される第 2 の待ち行列とを記憶する第 1 の記憶領域と、

前記第 1 の待ち行列の先頭の構成要素を指示するポインタ情報が第 1 のポインタ情報として記憶され、前記第 2 の待ち行列の末尾の構成要素を指示するポインタ情報が第 2 のポインタ情報として記憶される第 2 の記憶領域と、

前記第 1 の待ち行列の末尾の構成要素に前記第 2 の待ち行列の先頭の構成要素を指示するポインタ情報を設定し、前記第 2 の待ち行列の末尾の構成要素に前記第 1 の待ち行列の末尾の構成要素を指示するポインタ情報を設定し、前記第 2 の記憶領域に記憶された前記第 1、第 2 のポインタ情報に従って前記第 1、第 2 の待ち行列を制御する制御回路と

を具備することを特徴とする待ち行列制御装置。

【請求項 2】 前記制御回路は、前記第 1 の待ち行列が存在しないとき、前記第 2 の記憶領域に前記第 2 の待ち行列の先頭の構成要素を指示するポインタ情報を前記第 1 のポインタ情報として設定し、前記第 1 の記憶領域の前記第 2 の待ち行列の末尾の構成要素に、前記第 1 の待ち行列が存在しないことを示すポインタ情報を設定することを特徴とする請求項 1 記載の待ち行列制御装置。

【請求項 3】 前記制御回路は、前記第 2 の待ち行列が存在しないとき、前記第 2 の記憶領域に前記第 1 の待ち行列の末尾の構成要素を指示するポインタ情報を前記第 2 のポインタ情報として設定し、前記第 1 の記憶領域の前記第 1 の待ち行列の末尾の構成要素に、前記第 2 の待ち行列が存在しないことを示すポインタ情報を設定することを特徴とする請求項 1 記載の待ち行列制御装置。

【請求項 4】 前記第 2 の記憶領域は、先頭の構成要素を指示する第 1 ポインタ情報と末尾の構成要素を指示する第 2 のポインタ情報を複数個記憶することを特徴とする請求項 1 乃至 3 記載の待ち行列制御装置。

【請求項 5】 任意の数の構成要素により構成され、前記各構成要素が次の構成要素を指示するポインタ情報を有することにより構成される第 1 の待ち行列と、任意の数の構成要素により構成され、前記各構成要素が次の構成要素を指示するポインタ情報を有することにより構成される第 2 の待ち行列とを有し、

前記第 1 の待ち行列の末尾の構成要素に前記第 2 の待ち行列の先頭の構成要素を指示するポインタ情報を設定し、

前記第 2 の待ち行列の末尾の構成要素に前記第 1 の待ち行列の末尾の構成要素を指示するポインタ情報を設定し、

前記第 1 の待ち行列の先頭の構成要素を指示する第 1 のポインタ情報、及び前記第 2 の待ち行列の末尾の要素を指示する第 2 のポインタ情報に基づいて、前記第 1、第 2 の待ち行列を処理することを特徴とする待ち行列制御方法。

【請求項 6】 前記第 1 の待ち行列が存在しないとき、前記第 2 の待ち行列の先頭の構成要素を指示するポインタ情報を前記第 1 のポインタ情報として設定し、前記第 2 の待ち行列の末尾の構成要素に、前記第 1 の待ち行列が存在しないことを示すポインタ情報を設定することを特徴とする請求項 5 記載の待ち行列制御方法。

【請求項 7】 前記第 2 の待ち行列が存在しないとき、前記第 1 の待ち行列の末尾の構成要素を指示するポインタ情報を前記第 2 のポインタ情報として設定し、前記第 1 の待ち行列の末尾の構成要素に、前記第 2 の待ち行列が存在しないことを示すポインタ情報を設定することを特徴とする請求項 5 記載の待ち行列制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば A T M (Asynchronous Transfer Mode) 通信やコンピュータ等の分野に適用される待ち行列制御装置及び制御方法に関する。

【0002】

【従来の技術】

図 6 は、従来の待ち行列管理方法を示している。この待ち行列管理方法は、n

個のアドレスを有するポインタテーブル 101 と、このポインタテーブル 101 内の待ち行列の先頭アドレス及び末尾アドレスを記憶する記憶領域 102 を有している。n 個の構成要素に対して待ち行列を構成する場合、ポインタテーブル 101 の各構成要素に対してアドレス A0 から A_n が割り振られる。ポインタテーブル 101 の各アドレスには、待ち行列を構成する際の次の構成要素を指すポインタ情報が格納される。また、記憶領域 102 には、ポインタテーブル 101 内の待ち行列の先頭の構成要素を指し示す先頭アドレスと末尾の構成要素を指し示す末尾アドレスが記憶され、これらによりこの待ち行列が管理される。

【0003】

例えば、図 6 に示す例の場合、記憶領域 102 の先頭アドレスには A0 が格納され、末尾アドレスには A7 が格納されている。先頭アドレスが指すポインタテーブル 101 のアドレス A0 には、次の構成要素のアドレスを指し示すポインタ情報 A2 として格納されている。さらに、ポインタテーブル 101 のアドレス A2 には次の構成要素のアドレスを指し示すポインタ情報として A8 が格納され、ポインタテーブル 101 のアドレス A8 には末尾アドレスを指し示すポインタ情報 A7 が格納されている。ポインタテーブル 101 のアドレス A7 は、末尾アドレスなので、新たなポインタ情報を持たず、行列の末尾を示す 0 が格納されている。このようにして、アドレス A0→A2→A8→A7 で構成される 1 つの待ち行列が構成される。

【0004】

この待ち行列は、アドレス A0 から順番にアクセスされ、アドレス A0 に対応する処理を終えると、A0 は、この待ち行列から削除され、先頭アドレスが A0 から A2 に更新される。また、新たな構成要素がこの待ち行列に追加される場合には、次の 2 種類の方法がある。FIFO (First In First Out) の待ち行列に構成要素 A_i が追加される場合には、末尾アドレスである A7 に A_i を指し示すポインタ情報が A7 に格納され、また、末尾アドレスが A7 から A_i に更新される。LIFO (Last In First Out) の待ち行列に構成要素 A_i が追加される場合には、先頭アドレスである A0 を指し示すポインタ情報が A_i に格納され、また、末尾アドレスが A0 から A_i に更新される。

【0 0 0 5】

図 7 は、2 種類の待ち行列を管理するための待ち行列管理方法を示している。この場合、第 1 の待ち行列は、先頭アドレス 1 及び末尾アドレス 1 により管理され、第 2 の待ち行列は、先頭アドレス 2 及び末尾アドレス 2 により管理される。したがって、第 1、第 2 の待ち行列を管理するために、2 つの記憶領域 1 1 1、1 1 2 が必要となる。

【0 0 0 6】

【発明が解決しようとする課題】

ここで、例えば n 本の通信回線を有する通信制御装置において待ち行列を管理する場合について考える。例えば A T M 通信では、1 つの回線上に複数の A T M セルが送信される。各 A T M セルは宛て先を示すヘッダ情報を有している。また、A T M 通信は、通信チャネルの帯域容量を時間的に可変可能とされ、各 A T M セルの前記ヘッダ情報には仮想回線 (Virtual Channel) や仮想パス (Virtual Path) 等の識別子が設定されている。この A T M セルの仮想回線は例えば待ち行列により管理される。

【0 0 0 7】

図 8 は、この待ち行列管理方法を示している。図 8 において、記憶領域 1 2 1 には時刻テーブルが設けられている。この時刻テーブルは、 T_0 から T_m の m 個の時刻エントリを有している。各回線は、 m 個の時刻エントリのうち T_0 から T_m の順にサービスされる。各時刻エントリ $T_0 \sim T_m$ には、各時刻でサービスできる仮想回線の待ち行列の先頭アドレスと末尾アドレスが格納されている。例えば時刻エントリ T_0 において、先頭アドレスには A_{h1-0} ($=A_0$) が格納され、末尾アドレスには A_{t1-0} ($=A_2$) が格納されている。また、時刻エントリ T_1 において、先頭アドレスには A_{h1-1} ($=A_3$) が格納され、末尾アドレスには A_{t1-1} ($=A_3$) が格納されている。

【0 0 0 8】

一方、ポインタテーブル 1 2 2 には、前記各時刻エントリにおける先頭アドレス及び末尾アドレスに対応して次の構成要素を示すポインタや末尾を示す情報が格納されている。

【0009】

各回線は、時刻テーブルの時刻エントリ T_0 から順番にサービスの機会が与えられ、時刻エントリ T_m のサービスの後、時刻エントリ T_0 へと戻る。ある時刻エントリに登録された仮想回線がサービスされると、その仮想回線は、別の時刻エントリ上に登録される。仮に、その時刻エントリに別の仮想回線が登録されている場合、この仮想回線は、この時刻エントリにおいて、待ち行列を構成することになる。

【0010】

次に、このような通信制御装置において、優先度の異なる2種類の仮想回線を制御する場合について考える。図8に示すように、各時刻エントリ $T_0 \sim T_m$ において、一組の待ち行列しか存在しない場合、FIFOもしくはLIFOによる制御しかできない。このため、この待ち行列では、それぞれの優先度に基づいて、これら2種類の仮想回線を独立して制御することができないという問題がある。

【0011】

そこで、図9に示すように、各時刻エントリ $T_0 \sim T_m$ に関して、2組の先頭アドレスと末尾アドレスを持つ待ち行列の制御方法が必要となる。この方法は、図7に示す方法に基づいている。図9に示す例の場合、各時刻エントリ $T_0 \sim T_m$ に対して第1の待ち行列と第2の待ち行列を有している。このため、これら第1、第2の待ち行列により、ポインタテーブル122に示すように、優先度の異なる2種類の仮想回線を制御することが可能である。すなわち、例えば時刻エントリ T_0 において、先ず、先頭アドレス $A_{h1-0} (= A_0)$ 、末尾アドレス先頭アドレス $A_{t1-0} (= A_2)$ により指示される第1の待ち行列が処理され、続いて、先頭アドレス $A_{h2-0} (= A_1)$ 、末尾アドレス先頭アドレス $A_{t2-0} (= A_5)$ により指示される第2の待ち行列が処理される。

【0012】

しかし、図9に示すように、第1の待ち行列、第2の待ち行列からなる2種類の待ち行列を m 個の時刻エントリ $T_0 \sim T_m$ で管理する場合、 $4 \times m$ 個の先頭アドレスと末尾アドレスを格納する記憶領域123が必要となる。したがって、大

きな記憶容量を有する記憶領域 1 2 3 を必要とするという問題がある。

【 0 0 1 3 】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは複数の待ち行列を 1 つの待ち行列として制御することにより、記憶容量の増大を防止可能な待ち行列制御装置とその制御方法を提供しようとするものである。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の待ち行列制御装置は、上記課題を解決するため、任意の数の構成要素を有し、前記各構成要素が次の構成要素を指示するポインタ情報を有することにより構成される第 1 の待ち行列と、任意の数の構成要素を有し、前記各構成要素が次の構成要素を指示するポインタ情報を有することにより構成される第 2 の待ち行列とを記憶する第 1 の記憶領域と、前記第 1 の待ち行列の先頭の構成要素を指示するポインタ情報が第 1 のポインタ情報として記憶され、前記第 2 の待ち行列の末尾の構成要素を指示するポインタ情報が第 2 のポインタ情報として記憶される第 2 の記憶領域と、前記第 1 の待ち行列の末尾の構成要素に前記第 2 の待ち行列の先頭の構成要素を指示するポインタ情報を設定し、前記第 2 の待ち行列の末尾の構成要素に前記第 1 の待ち行列の末尾の構成要素を指示するポインタ情報を設定し、前記第 2 の記憶領域に記憶された前記第 1、第 2 のポインタ情報に従って前記第 1、第 2 の待ち行列を制御する制御回路とを有している。

【 0 0 1 5 】

前記制御回路は、前記第 1 の待ち行列が存在しないとき、前記第 2 の記憶領域に前記第 2 の待ち行列の先頭の構成要素を指示するポインタ情報を前記第 1 のポインタ情報として設定し、前記第 1 の記憶領域の前記第 2 の待ち行列の末尾の構成要素に、前記第 1 の待ち行列が存在しないことを示すポインタ情報を設定する。

【 0 0 1 6 】

前記制御回路は、前記第 2 の待ち行列が存在しないとき、前記第 2 の記憶領域に前記第 1 の待ち行列の末尾の構成要素を指示するポインタ情報を前記第 2 のポ

インタ情報として設定し、前記第 1 の記憶領域の前記第 1 の待ち行列の末尾の構成要素に、前記第 2 の待ち行列が存在しないことを示すインタ情報を設定する。

【0 0 1 7】

前記第 2 の記憶領域は、先頭の構成要素を指示する第 1 ポインタ情報と末尾の構成要素を指示する第 2 のポインタ情報を複数個記憶する。

【0 0 1 8】

また、本発明の待ち行列制御方法は、任意の数の構成要素により構成され、前記各構成要素が次の構成要素を指示するポインタ情報を有することにより構成される第 1 の待ち行列と、任意の数の構成要素により構成され、前記各構成要素が次の構成要素を指示するポインタ情報を有することにより構成される第 2 の待ち行列とを有し、前記第 1 の待ち行列の末尾の構成要素に前記第 2 の待ち行列の先頭の構成要素を指示するポインタ情報を設定し、前記第 2 の待ち行列の末尾の構成要素に前記第 1 の待ち行列の末尾の構成要素を指示するポインタ情報を設定し、前記第 1 の待ち行列の先頭の構成要素を指示する第 1 のポインタ情報、及び前記第 2 の待ち行列の末尾の構成要素を指示する第 2 のポインタ情報に基づいて、前記第 1、第 2 の待ち行列を処理する。

【0 0 1 9】

前記第 1 の待ち行列が存在しないとき、前記第 2 の待ち行列の先頭の構成要素を指示するポインタ情報を前記第 1 のポインタ情報として設定し、前記第 2 の待ち行列の末尾の構成要素に、前記第 1 の待ち行列が存在しないことを示すポインタ情報を設定する。

【0 0 2 0】

前記第 2 の待ち行列が存在しないとき、前記第 1 の待ち行列の末尾の構成要素を指示するポインタ情報を前記第 2 のポインタ情報として設定し、前記第 1 の待ち行列の末尾の構成要素に、前記第 2 の待ち行列が存在しないことを示すポインタ情報を設定する。

【0 0 2 1】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【 0 0 2 2 】

図 1 は、本発明の待ち行列の構成を示す図である。図 1 において、ポインタテーブル 1 1 には、第 1、第 2 の待ち行列を構成する構成要素が格納されている。すなわち、アドレス A 0、A 2、A 7、A 8 に第 1 の待ち行列の構成要素が格納され、アドレス A 3、A 4、A 6 に第 2 の待ち行列の構成要素が格納されている。各アドレスには次の構成要素のアドレスを示すポインタ情報が記憶されている。すなわち、第 1 の待ち行列は、A 0 → A 2 → A 8 → A 7 で構成され、第 2 の待ち行列は、A 6 → A 4 → A 3 で構成されている。この場合、前記第 1 の待ち行列の末尾のアドレス A 7 には第 2 の待ち行列の先頭アドレス A 6 がポインタ情報として記憶され、第 2 の待ち行列の末尾のアドレス A 3 には第 1 の待ち行列の末尾アドレス A 7 がポインタ情報として記憶される。

【 0 0 2 3 】

また、記憶領域 1 2 には先頭アドレス及び末尾アドレスが記憶される。このうち、先頭アドレスには第 1 の待ち行列の先頭アドレスである A 0 のポインタ情報が記憶され、末尾アドレスには、第 2 の待ち行列の末尾アドレスである A 3 のポインタ情報が記憶されている。

【 0 0 2 4 】

このような構成とすることにより、第 1、第 2 の待ち行列を 1 つの待ち行列として構成できる。しかも、記憶領域 1 2 に記憶された 1 組の先頭アドレスと末尾アドレスのみで、第 1、第 2 の待ち行列の処理が可能となる。すなわち、記憶領域 1 2 に記憶された先頭アドレスに従って、第 1 の待ち行列を処理した後、第 2 の待ち行列を自動的に処理できる。

【 0 0 2 5 】

また、第 1 の待ち行列と第 2 の待ち行列を分離したい場合、記憶領域 1 2 の末尾アドレス A 3 で示されるポインタテーブル 1 1 のアドレス A 3 に格納されているポインタ情報 A 7 を読み出し、このポインタ情報 A 7 で指定されるアドレス A 7 に記憶されたポインタ情報 A 6 を取り出す。これにより、第 1 の待ち行列の末尾と第 2 の待ち行列の先頭を判別することができる。したがって、先頭アドレス

A 0 → A 2 → A 8 → A 7 までの第 1 の待ち行列と、前記取り出したポインタ情報 A 6 から末尾アドレス A 3 までの A 6 → A 4 → A 3 で構成される第 2 の待ち行列とを分離することができる。このように、第 1、第 2 の待ち行列に分離されると、第 1、第 2 の待ち行列それぞれに対して、F I F O や L I F O 処理を実施することができる。さらに、上記分離した第 1、第 2 の待ち行列を 1 つの待ち行列に再接続する場合は、本発明の方式による再接続を実行すればよい。

【0026】

また、図 2 に示すように、例えば第 1 の待ち行列しか存在しない場合、記憶領域 1 2 の先頭アドレスには第 1 の待ち行列の先頭アドレスを示す A 0 がポインタ情報として記憶され、末尾アドレスには第 1 の待ち行列の末尾アドレスを示す A 7 がポインタ情報として記憶される。また、ポインタテーブル 1 1 内の末尾アドレスを示す A 7 には、第 1 の待ち行列のみであることを示すポインタ情報、例えば“0”が設定される。

【0027】

一方、図 3 に示すように、第 2 の待ち行列しか存在しない場合、記憶領域 1 2 の先頭アドレスには第 2 の待ち行列の先頭アドレスを示す A 6 がポインタ情報として記憶され、末尾アドレスには第 2 の待ち行列の末尾アドレスを示す A 3 がポインタ情報として記憶される。また、ポインタテーブル 1 1 内の末尾アドレスを示す A 3 には、第 2 の待ち行列のみであることを示す値、例えば末尾アドレス A 3 のポインタ情報“A 3”が設定される。

【0028】

このような構成とすることにより、1 組の先頭アドレスと末尾アドレスにより、2 つの待ち行列を管理することができる。

【0029】

図 4 は、本発明を適用して、例えば n 本の通信回線を有する通信制御装置において、異なる 2 種類の優先度をもった仮想回線の待ち行列を管理する場合について示している。

【0030】

図 4 において、2 1 はポインタテーブルであり、2 2 は記憶領域である。記憶

領域 2 2 には時刻テーブル 2 2 a が設けられている。この時刻テーブル 2 2 a は、 T_0 から T_m の m 個の時刻エントリを有している。各回線は、 m 個の時刻エントリのうち T_0 から T_m の順にサービスされる。各時刻エントリ $T_0 \sim T_m$ には、各時刻でサービスできる仮想回線の待ち行列の先頭アドレスと末尾アドレスが格納されている。

【 0 0 3 1 】

例えば時刻エントリ T_0 において、先頭アドレスには第 1 の優先度を有する第 1 の待ち行列 ($A_0 \rightarrow A_2$) の先頭アドレスを示すポインタ情報 A_{h1-0} ($= A_0$) が格納され、末尾アドレスには第 1 の優先度より低い第 2 の優先度を有する第 2 の待ち行列 ($A_1 \rightarrow A_5$) の末尾アドレスを示すポインタ情報 A_{t1-0} ($= A_5$) が格納されている。また、ポインタテーブル 2 1 のアドレス A_5 には、第 1 の優先度を有する待ち行列の末尾アドレスを示すポインタ情報 A_2 が記憶されている。

【 0 0 3 2 】

さらに、時刻エントリ T_1 において、先頭アドレスには第 1 の待ち行列 ($A_3 \rightarrow A_8$) の先頭アドレスを示すポインタ情報 A_{h1-1} ($= A_3$) が格納され、末尾アドレスには第 2 の待ち行列 ($A_7 \rightarrow A_3$) の末尾アドレスを示すポインタ情報 A_{h1-1} ($= A_8$) が格納されている。また、ポインタテーブル 2 1 のアドレス A_3 には、第 1 の待ち行列の末尾アドレスを示すポインタ情報 A_8 が記憶されている。

【 0 0 3 3 】

上記のように、記憶領域 2 2 の時刻テーブル 2 2 a 及びポインタテーブル 2 1 を構成することにより、異なる 2 種類の優先度をもった仮想回線の待ち行列を管理する場合において、従来、 m 個の時刻エントリに対して $4 \times M$ 組の先頭アドレスと末尾アドレスが必要であったが、本実施例の場合、 m 個の時刻エントリに対して $2 \times M$ 組の先頭アドレスと末尾アドレスで構成することができる。したがって、本実施例の場合、1 つの待ち行列を制御するために使用する先頭アドレスと末尾アドレスのみで、2 つの待ち行列を制御することができるため、記憶領域 2 2 の容量を、図 9 に示す場合の $1/2$ に削減することができる。

【0 0 3 4】

また、上記とは逆に、第 1 の待ち行列で優先度の低い通信回線の待ち行列を構成し、第 2 の待ち行列で優先度の高い通信回線の待ち行列を構成し、これらを上述したように連結して 1 つの待ち行列とした状態において、m 組の時刻エントリに登録された先頭アドレスと末尾アドレスに基づいて、上述した方法により、第 1 の待ち行列と第 2 の待ち行列に分離することにより、優先度の高い第 1 の待ち行列に登録された通信回線からのサービスが可能となる。

【0 0 3 5】

図 5 は、本発明に適用される待ち行列制御装置の一実施例を示している。図 5 において、第 1 のメモリ 3 1 は、例えば RAM（ランダム・アクセス・メモリ）により構成されている。この第 1 のメモリ 3 1 は、例えば図 4 に示す記憶領域 2 2 に相当し、時刻テーブル 2 2 a が記憶される。また、第 2 のメモリ 3 2 は例えば RAM により構成され、この第 2 のメモリ 3 2 には、例えば図 4 に示す前記ポインタテーブル 2 1 が記憶される。制御回路 3 3 は、例えばマイクロプロセッサにより構成されている。この制御回路 3 3 は、前記時刻テーブル 2 2 a、及びポインタテーブル 2 1 内の第 1、第 2 の待ち行列に対して、図 1 乃至図 3 に示す処理を行う。

【0 0 3 6】

すなわち、ポインタテーブル 2 1 内の第 1 の待ち行列の末尾の構成要素に第 2 の待ち行列の先頭の構成要素を指示するポインタ情報を設定し、第 2 の待ち行列の末尾の構成要素に第 1 の待ち行列の末尾の構成要素を指示するポインタ情報を設定する。さらに、時刻テーブル 2 2 a に第 1 の待ち行列の先頭の構成要素を指示するアドレスを先頭アドレスとして記憶させ、第 2 の待ち行列の末尾の構成要素を指示するアドレスを末尾アドレスとして記憶させる。

【0 0 3 7】

また、第 1 の待ち行列が存在しないとき、第 2 の待ち行列の先頭の構成要素を指示するアドレスを先頭アドレスとして時刻テーブル 2 2 a に記憶させ、ポインタテーブル 2 1 に第 2 の待ち行列の末尾の構成要素に、第 1 の待ち行列が存在しないことを示すポインタ情報を設定する。

【 0 0 3 8 】

さらに、第 2 の待ち行列が存在しないとき、第 1 の待ち行列の末尾の構成要素を指示するアドレスを末尾アドレスとして時刻テーブル 2 2 a に記憶させ、ポインタテーブル 2 1 に第 1 の待ち行列の末尾の構成要素に、第 2 の待ち行列が存在しないことを示すポインタ情報を設定する。

【 0 0 3 9 】

また、制御回路 3 3 は、第 1 のメモリ 3 1 に記憶されている時刻テーブル 2 2 a を順次アクセスし、各時刻エントリに記憶された先頭アドレス、及び末尾アドレスに従って第 2 のメモリ 3 2 に記憶されたポインタテーブル 2 1 の待ち行列をアクセスし、例えば仮想回線の番号を出力する。この仮想回線の番号はポインタテーブル 2 2 の各構成要素に対応して、例えば第 2 のメモリ 3 2 に記憶されている。この制御回路 1 3 から出力される仮想回線の番号は、送信制御回路 3 4 に供給され、この送信制御回路 3 4 は仮想回線の番号に対応する仮想回線を出力する。

【 0 0 4 0 】

上記第 1 のメモリ 3 1、制御回路 3 3 及び送信制御回路 3 4 は、例えば 1 つの半導体チップ 3 5 に設けられ、第 2 のメモリ 3 2 は別の半導体チップに設けられている。しかし、第 2 のメモリ 3 2 を半導体チップ 3 5 内に一体的に設けることも可能である。

【 0 0 4 1 】

上記実施例によれば、1 組の先頭アドレスのポインタ情報と末尾アドレスのポインタ情報により、2 組の待ち行列をそれぞれの優先度に応じて制御することができる。このため、複数の先頭アドレスのポインタ情報と末尾アドレスのポインタ情報を用いて待ち行列を制御する場合に比べて、先頭アドレスと末尾アドレスを記憶する記憶領域の増大を防止できる。

【 0 0 4 2 】

さらに、1 組の先頭アドレスのポインタ情報と末尾アドレスのポインタ情報により、2 組の待ち行列をそれぞれの優先度に応じて制御することができる。

【 0 0 4 3 】

また、記憶領域内の先頭アドレスと末尾アドレスは、1組とされた第1、第2の待ち行列、あるいは分離された第1、又は第2の待ち行列の一方の待ち行列が処理中に存在しなくなっても、他方の待ち行列を制御することが可能である。

【0044】

尚、本発明は上記実施例に限定されるものではなく、発明の要旨を変えない範囲で種々変形実施可能なことは勿論である。

【0045】

【発明の効果】

以上、詳述したように本発明によれば、複数の待ち行列を1つの待ち行列として制御することにより、記憶容量の増大を防止可能な待ち行列制御装置とその制御方法を提供できる。

【図面の簡単な説明】

【図1】

本発明の一実施例を示すものであり、待ち行列制御方法を示す図。

【図2】

本発明で第2の待ち行列が存在しないときの待ち行列制御方法を示す図。

【図3】

本発明で第1の待ち行列が存在しないときの待ち行列制御方法を示す図。

【図4】

本発明の2組の待ち行列を複数の時刻エントリで制御する方法を示す図。

【図5】

本発明の待ち行列制御装置の一実施例を示す構成図。

【図6】

従来の基本的な待ち行列制御方法を示す図。

【図7】

従来の基本的な2組の待ち行列制御方法を示す図。

【図8】

従来の1組の待ち行列を複数の時刻エントリで制御する方法を示す図。

【図9】

従来の 2 組の待ち行列を複数の時刻エントリで制御する方法を示す図。

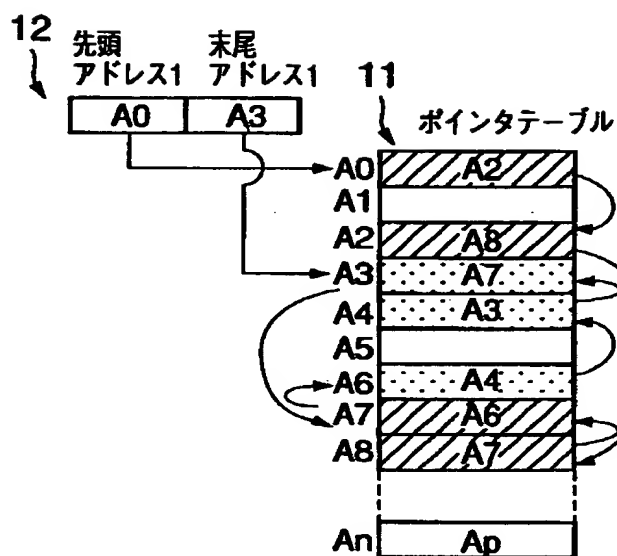
【符号の説明】

- 1 1、2 1…ポインタテーブル、
- 1 2、2 2…記憶領域、
- 3 1、3 2…第 1、第 2 のメモリ、
- 3 3…制御回路、
- 3 4…送信制御回路。

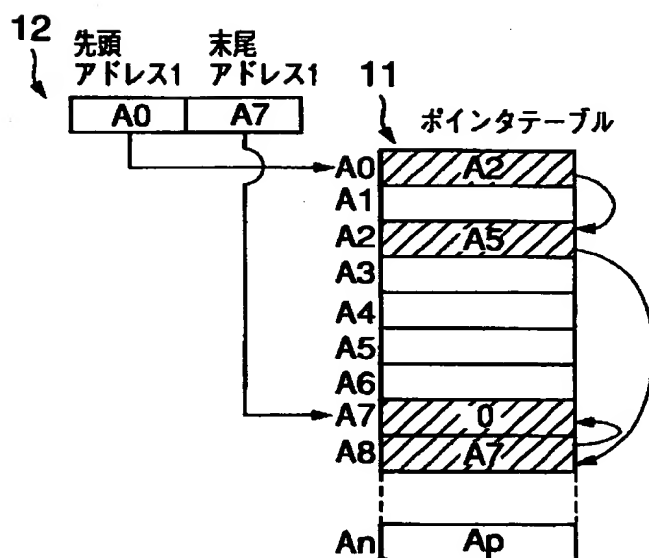
【書類名】

図面

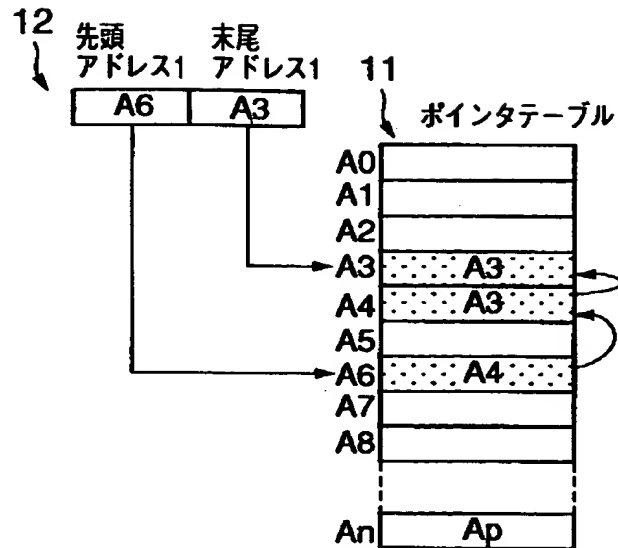
【図 1】



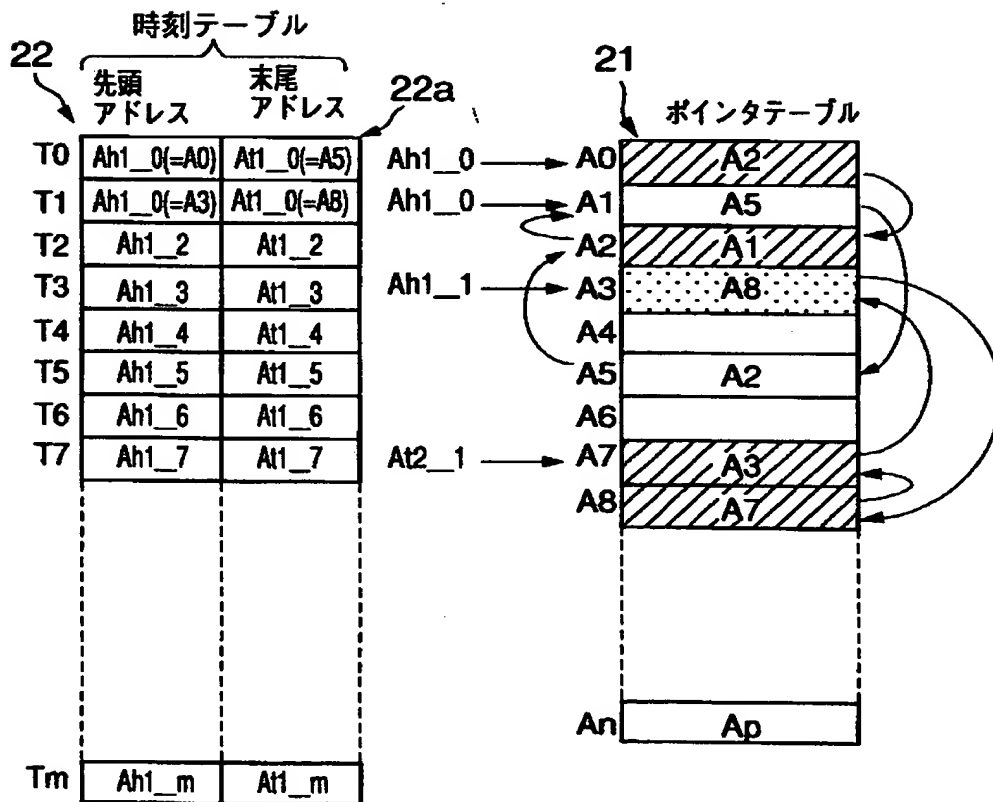
【図 2】



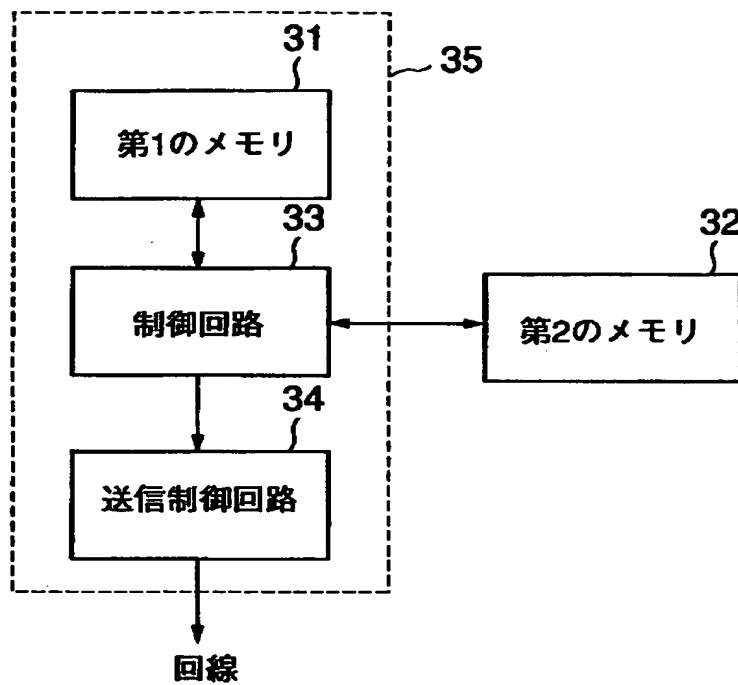
【図 3】



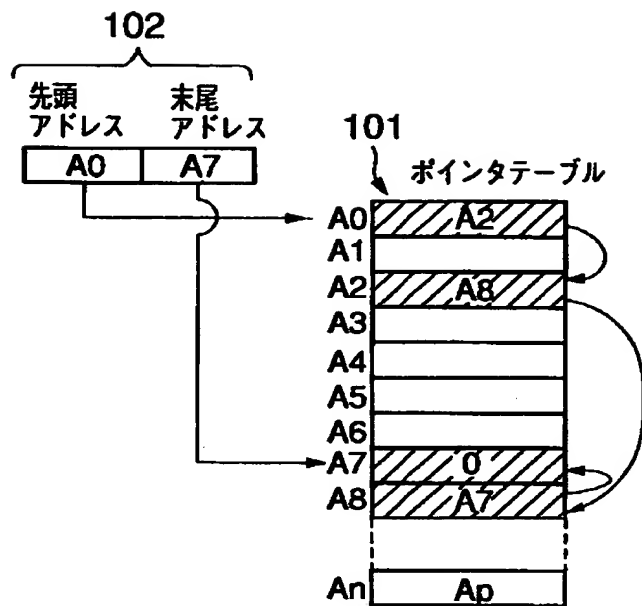
【図 4】



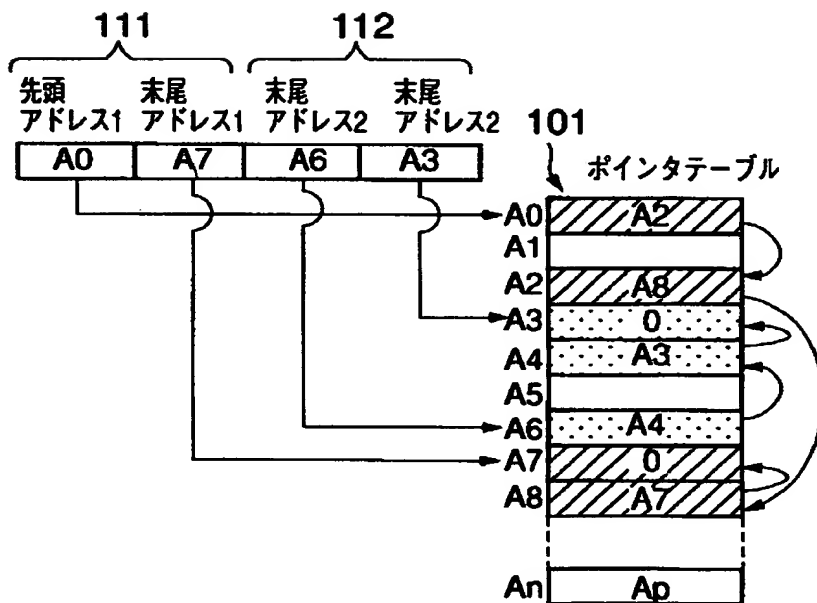
【図 5】



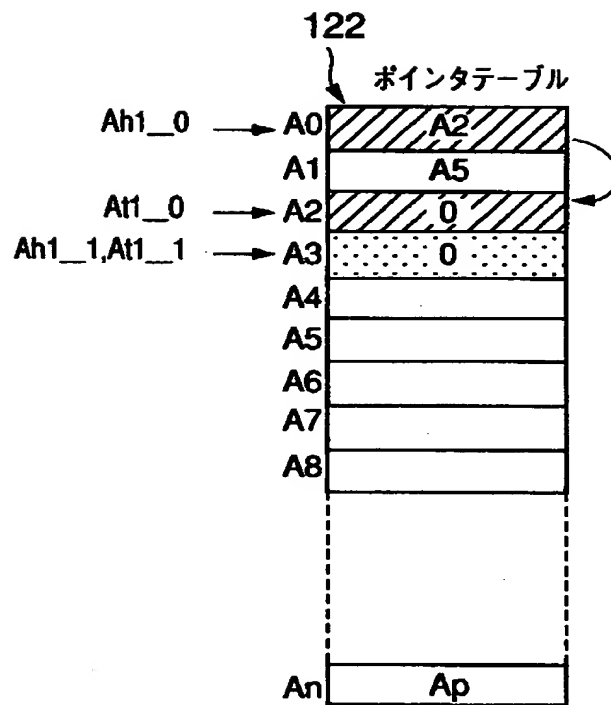
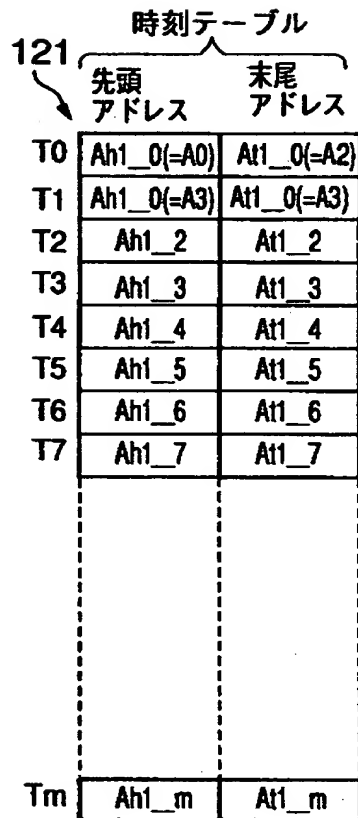
【図 6】



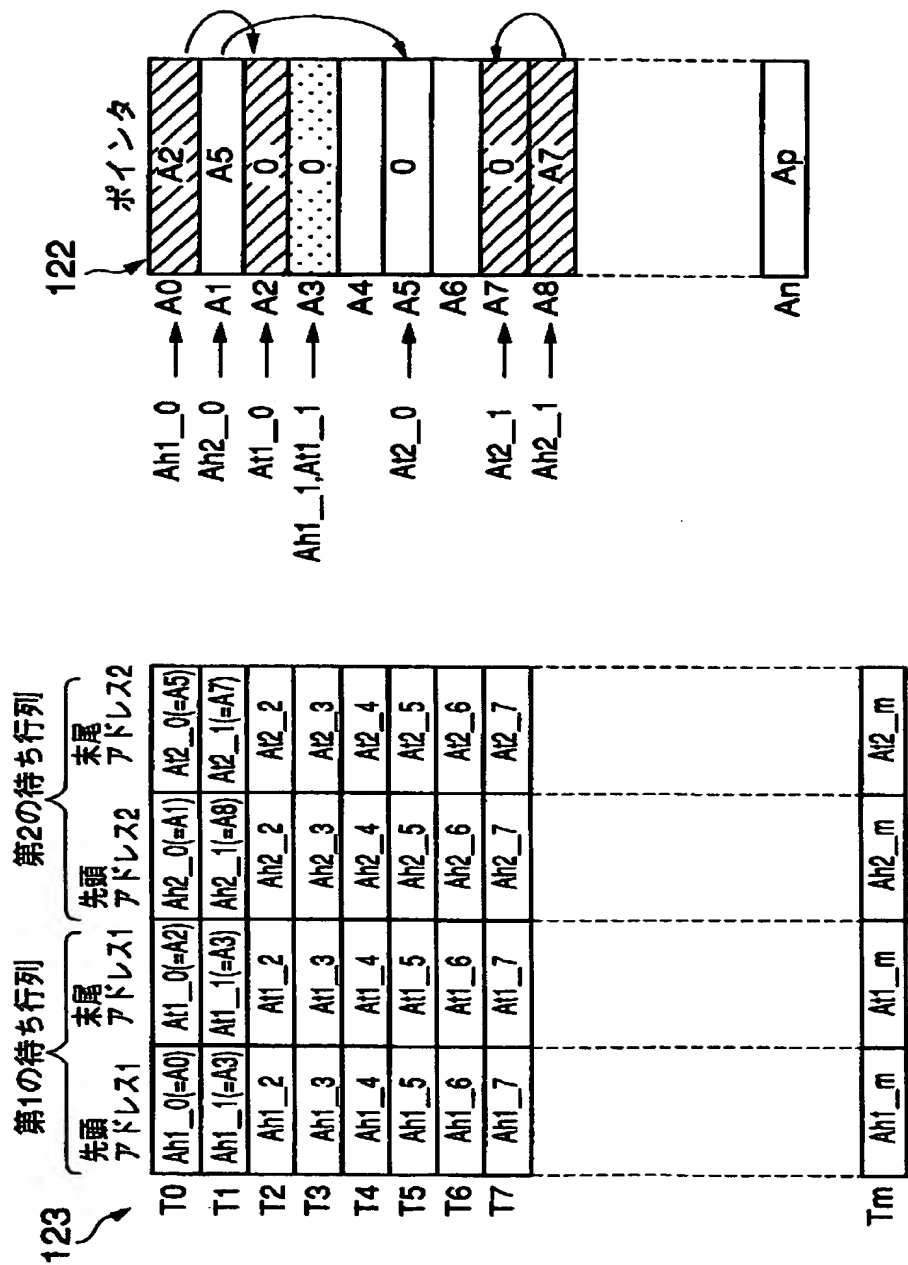
【図 7】



【图 8】



【図 9】



【書類名】 要約書

【要約】

【課題】複数の待ち行列を制御する場合、先頭アドレス及び末尾アドレスを記憶するための記憶容量が増大していた。

【解決手段】ポインタテーブル 1 1 の第 1 の待ち行列の末尾のアドレス A 7 には第 2 の待ち行列の先頭アドレス A 6 がポインタ情報として記憶され、第 2 の待ち行列の末尾のアドレス A 3 には第 1 の待ち行列の末尾アドレス A 7 がポインタ情報として記憶されている。記憶領域 1 2 の先頭アドレスには第 1 の待ち行列の先頭アドレスである A 0 のポインタ情報が記憶され、末尾アドレスには第 2 の待ち行列の末尾アドレスである A 3 のポインタ情報が記憶されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 . 3 0 7 8]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝